

DERWENT-ACC-NO: 2004-732544

DERWENT-WEEK: 200472

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Layout design method for semiconductor integrated circuit manufacture, involves embedding fill cell with dummy polysilicon pattern adjacent to logic primitive cell

----- KWIC -----

Basic Abstract Text - ABTX (1):

NOVELTY - A logic primitive cell is arranged between power-supply wiring of area other than set arrangement prohibition area, based on layout data . A fill cell with dummy polysilicon pattern is embedded adjacent to the primitive cell. The dummy polysilicon wiring in dummy pattern, is wired to gate polysilicon pattern of a transistor. The optical proximity correction (OPC) is performed with respect to gate polysilicon pattern.

Title - TIX (1):

Layout design method for semiconductor integrated circuit manufacture, involves embedding fill cell with dummy polysilicon pattern adjacent to logic primitive cell

Standard Title Terms - TTX (1):

LAYOUT DESIGN METHOD SEMICONDUCTOR INTEGRATE CIRCUIT MANUFACTURE  
EMBED FILL  
CELL DUMMY PATTERN ADJACENT LOGIC PRIMITIVE CELL

(19) 日本国特許庁 (JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-47643

(P2004-47643A)

(43) 公開日 平成16年2月12日 (2004.2.12)

(51) Int. Cl. <sup>7</sup>

F I

テーマコード (参考)

H 0 1 L 21/82

H 0 1 L 21/82

D

5 F 0 3 8

H 0 1 L 21/822

H 0 1 L 27/04

A

5 F 0 6 4

H 0 1 L 27/04

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願2002-201659 (P2002-201659)  
 (22) 出願日 平成14年7月10日 (2002.7.10)

(71) 出願人 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100095728  
 弁理士 上柳 雅智  
 (74) 代理人 100107076  
 弁理士 藤岡 英吉  
 (74) 代理人 100107261  
 弁理士 須澤 修  
 (72) 発明者 勝野 文子  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
 Fターム(参考) 5F038 CA03 CA05 CA17 CA18 EZ15  
 EZ20  
 5F064 DD02 DD07 DD13 DD14 DD20  
 DD24 EE15 GG03 HH06

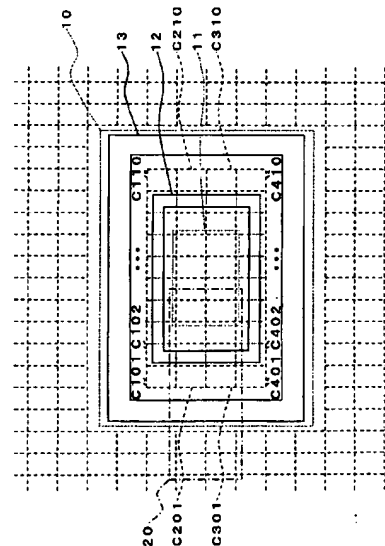
(54) 【発明の名称】 半導体装置及びその設計方法

## (57) 【要約】

【課題】 ローディング効果を防止できる半導体装置を提供する。

【解決手段】 所定の機能を実現するための第1群の基本セルC204～C207及びC304～C307と、ダミーとして第1群の基本セルの外側に配置された第2群の基本セルC101～C110、C201～C203、C208～C210、C301～C303、C308～C310、及び、C401～C410と、基本セルC102～C109、C202、C209、C302、C309、及び、C402～C409の上層に配置され、第1群の基本セルに第1の電源電位を供給するためのアルミニウム配線12と、第2群の基本セルの外側に配置され、第1群の基本セルに第2の電源電位を供給するためのアルミニウム配線13と、アルミニウム配線13の外側にマトリクス状に配列された複数の基本セルとを具備する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体基板に形成される不純物拡散領域と該不純物拡散領域上にゲート絶縁膜を介して形成されるゲート電極とを含む複数の基本セルを用いて設計される半導体装置であって、所定の機能を実現するために前記半導体基板の第 1 の領域に配置される複数の基本セル、及び、ダミーとして前記半導体基板の第 1 の領域の外側の第 2 の領域に配置される複数の基本セルを含む機能ブロックと、

前記機能ブロックの外側における前記半導体基板の第 3 の領域に配置される複数の基本セルと、

前記半導体基板の第 2 の領域上に層間絶縁膜を介して形成される少なくとも 1 つのメタル配線と、

を具備する半導体装置。

## 【請求項 2】

前記半導体基板の第 2 の領域と第 3 の領域との間において基本セルが配置されない領域上に層間絶縁膜を介して形成される少なくとも 1 つのメタル配線をさらに具備する請求項 1 記載の半導体装置。

## 【請求項 3】

半導体基板に形成される不純物拡散領域と該不純物拡散領域上にゲート絶縁膜を介して形成されるゲート電極とを含む複数の基本セルを用いて設計される半導体装置であって、

所定の機能を実現するために前記半導体基板の第 1 の領域に配置される複数の基本セル、及び、前記ゲート電極と同じ層において前記半導体基板の第 1 の領域の外側の第 2 の領域に配置される少なくとも 1 つの配線を含む機能ブロックと、前記機能ブロックの外側における前記半導体基板の第 3 の領域に配置される複数の基本セルと、

前記半導体基板の第 2 の領域と第 3 の領域との間において基本セルが配置されない領域上に層間絶縁膜を介して形成される少なくとも 1 つのメタル配線と、

を具備する半導体装置。

## 【請求項 4】

半導体基板に形成される不純物拡散領域と該不純物拡散領域上にゲート絶縁膜を介して形成されるゲート電極とを含む複数の基本セルを用いる半導体装置の設計方法であって、

所定の機能を実現するために前記半導体基板の第 1 の領域に配置される複数の基本セル、及び、ダミーとして前記半導体基板の第 1 の領域の外側の第 2 の領域に配置される複数の基本セルを含む機能ブロックを配置するステップ (a) と、前記機能ブロックの外側における前記半導体基板の第 3 の領域に複数の基本セルを配置するステップ (b) と、

前記半導体基板の第 2 の領域上に層間絶縁膜を介して形成される少なくとも 1 つのメタル配線を配置するステップ (c) と、

を具備する半導体装置の設計方法。

## 【請求項 5】

ステップ (c) が、前記半導体基板の第 2 の領域と第 3 の領域との間において基本セルが配置されない領域上に層間絶縁膜を介して形成される少なくとも 1 つのメタル配線を配置することを含む、請求項 4 記載の半導体装置の設計方法。

## 【請求項 6】

半導体基板に形成される不純物拡散領域と該不純物拡散領域上にゲート絶縁膜を介して形成されるゲート電極とを含む複数の基本セルを用いる半導体装置の設計方法であって、

所定の機能を実現するために前記半導体基板の第 1 の領域に配置される複数の基本セル、及び、前記ゲート電極と同じ層において前記半導体基板の第 1 の領域の外側の第 2 の領域に配置される少なくとも 1 つの配線を含む機能ブロックを配置するステップ (a) と、前記機能ブロックの外側における前記半導体基板の第 3 の領域に配置される複数の基本セルを配置するステップ (b) と、

前記半導体基板の第 2 の領域と第 3 の領域との間において基本セルが配置されない領域上に層間絶縁膜を介して形成される少なくとも 1 つのメタル配線を配置するステップ (c)

と、  
を具備する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、所定の機能を実現する機能ブロックを有する半導体装置、及び、そのような半導体装置の設計方法に関する。

【0002】

【従来の技術】

所定の機能を実現する機能ブロックを有する従来の半導体装置について、図7及び図8を参照して説明する。 10

図7は、従来の半導体装置の一部を示す図である。図7において、この半導体装置は、IPブロック60と、IPブロック60の外部にマトリクス状に配列された複数の基本セルとを具備する。なお、IPブロックとは、知的所有権 (Intellectual Property) が語源であるが、半導体装置の分野においては、半導体装置を設計する上で重要となる機能ブロック (コアともいう) を指す。

【0003】

IPブロック60は、2行4列のマトリクス状に配列された8個の基本セルを有しており、これらの基本セルは、所定の機能を実現する機能部61を構成する。

図7に示すように、機能部61の外側には、機能部61に第1の電源電位を供給するための環状のアルミニウム配線62が形成されている。 20

さらに、アルミニウム配線62の外側には、機能部61に第2の電源電位を供給するための環状のアルミニウム配線63が形成されている。

【0004】

図8は、図7中の領域80を拡大した図である。図8において、IPブロック60内の基本セル71、72、75、及び、76、並びに、IPブロック60の外部に配列された基本セル81～84は、不純物拡散領域91、92、及び、不純物拡散領域91、92の上層にゲート絶縁膜を介して形成されたポリシリコンのゲート電極93、94を、それぞれ含んでいる。各基本セルに含まれる不純物拡散領域91、92、及びゲート電極93、94は、4個のトランジスタを構成する。 30

【0005】

図8に示す従来の半導体装置においては、基本セル82と基本セル71の間隔 $W_4$ が広い。そのため、ポリシリコン膜にエッチング処理を施してゲート電極を形成する工程において、基本セル82内のゲート電極の幅 $W_{82}$ が、基本セル81内のゲート電極の幅 $W_{81}$ 、又は、基本セル72内のゲート電極の幅 $W_{72}$ より狭くなったり、広くなったりしてしまうことがある。これは、基本セルが密に配列されている所 (ここでは、基本セル81付近) と疎に配列されている所 (ここでは、基本セル82付近) とでは、ポリシリコン上に形成されたレジストを溶解するための有機溶剤等の溶媒中におけるレジストの濃度が異なってしまう、レジストの溶解の度合いが異なってしまうために生ずる。このような現象は、ローディング効果と呼ばれている。 40

このように、基本セル82内のゲート電極の幅 $W_{82}$ が、狭くなったり、広くなったりした場合には、基本セル82は、所望の特性を有さないこととなり、使用することができなかった。

【0006】

同様に、機能部61の基本セル71内のゲート電極の幅 $W_{71}$ も、基本セル81内のゲート電極の幅 $W_{81}$ 、又は、基本セル72内のゲート電極の幅 $W_{72}$ より狭くなったり広くなったりしてしまい、基本セル71が所望の特性を有さないことがある。このようなことを予測して、基本セル71を使用しないこととして、IPブロック60を設計することも行われていた。同様に、基本セル75を使用しないこととして、IPブロック60を設計することも行われていた。 50

このように、基本セル 71、75 を使用しないこととして IP ブロック 60 を設計することは比較的容易である。しかしながら、IP ブロック 60 に隣接する基本セル 82、84 を使用できないということは、IP ブロック 60 を用いた半導体装置の設計を非常に困難にするものであった。

#### 【0007】

ところで、日本国特許出願公開（特開）平 3-46316 号公報（以下、「文献 1」ともいう）には、半導体ウエハ上にレジスト膜を形成する第 1 の工程と、半導体ウエハ上の複数のチップ部にそれぞれ設けられる所定のパターン密度の第 1 の回路パターン領域と第 1 の回路パターン領域の近傍に配置され第 1 の回路パターン領域より低いパターン密度の第 2 の回路パターン領域とを有する潜像を、露光によりレジスト膜中に形成する第 2 の工程と、現像液を用いて潜像をレジストパターンに変える第 3 の工程とを有するレジストパターンの形成方法において、第 1 および第 2 の回路パターン領域の形成時に、第 2 の回路パターン領域中の空領域に、レジスト膜全体の潜像密度がほぼ均一状態となるように、電気回路としての機能を持たないダミー領域を形成した後、第 3 の工程を施すことを特徴とするレジストパターン形成方法が掲載されている。

#### 【0008】

文献 1 に掲載されたレジストパターン形成方法は、レジストパターンの寸法に誤差が生ずることを防止するものではある。しかしながら、文献 1 に掲載されたレジストパターン形成方法は、第 1 および第 2 の回路パターン領域の形成時に、第 2 の回路パターンの空領域に、ダミー領域を形成するものであり、ダミーの基本セルを有する機能ブロック（IP ブロック）を設計し、この機能ブロックを用いて半導体装置の設計を行うものではない。

#### 【0009】

##### 【発明が解決しようとする課題】

そこで、上記の点に鑑み、本発明は、ローディング効果を防止できる半導体装置を提供することを目的とする。

#### 【0010】

##### 【課題を解決するための手段】

以上の課題を解決するため、本発明の第 1 の観点に係る半導体装置は、半導体基板に形成される不純物拡散領域と該不純物拡散領域上にゲート絶縁膜を介して形成されるゲート電極とを含む複数の基本セルを用いて設計される半導体装置であって、所定の機能を実現するために半導体基板の第 1 の領域に配置される複数の基本セル、及び、ダミーとして半導体基板の第 1 の領域の外側の第 2 の領域に配置される複数の基本セルを含む機能ブロックと、機能ブロックの外側における半導体基板の第 3 の領域に配置される複数の基本セルと、半導体基板の第 2 の領域上に層間絶縁膜を介して形成される少なくとも 1 つのメタル配線とを具備する。

#### 【0011】

ここで、半導体基板の第 2 の領域と第 3 の領域との間において基本セルが配置されない領域上に層間絶縁膜を介して形成される少なくとも 1 つのメタル配線をさらに具備することとしても良い。

#### 【0012】

また、上記した課題を解決するため、本発明の第 2 の観点に係る半導体装置は、半導体基板に形成される不純物拡散領域と該不純物拡散領域上にゲート絶縁膜を介して形成されるゲート電極とを含む複数の基本セルを用いて設計される半導体装置であって、所定の機能を実現するために半導体基板の第 1 の領域に配置される複数の基本セル、及び、ゲート電極と同じ層において半導体基板の第 1 の領域の外側の第 2 の領域に配置される少なくとも 1 つの配線を含む機能ブロックと、機能ブロックの外側における半導体基板の第 3 の領域に配置される複数の基本セルと、半導体基板の第 2 の領域と第 3 の領域との間において基本セルが配置されない領域上に層間絶縁膜を介して形成される少なくとも 1 つのメタル配線とを具備する。

#### 【0013】

また、上記した課題を解決するため、本発明の第1の観点に係る半導体装置の設計方法は、半導体基板に形成される不純物拡散領域と該不純物拡散領域上にゲート絶縁膜を介して形成されるゲート電極とを含む複数の基本セルを用いる半導体装置の設計方法であって、所定の機能を実現するために半導体基板の第1の領域に配置される複数の基本セル、及び、ダミーとして半導体基板の第1の領域の外側の第2の領域に配置される複数の基本セルを含む機能ブロックを配置するステップ(a)と、機能ブロックの外側における半導体基板の第3の領域に複数の基本セルを配置するステップ(b)と、半導体基板の第2の領域上に層間絶縁膜を介して形成される少なくとも1つのメタル配線を配置するステップ(c)とを具備する。

【0014】

10

ここで、ステップ(c)が、半導体基板の第2の領域と第3の領域との間において基本セルが配置されない領域上に層間絶縁膜を介して形成される少なくとも1つのメタル配線を配置することを含むこととしても良い。

【0015】

また、上記した課題を解決するため、本発明の第2の観点に係る半導体装置の設計方法は、半導体基板に形成される不純物拡散領域と該不純物拡散領域上にゲート絶縁膜を介して形成されるゲート電極とを含む複数の基本セルを用いる半導体装置の設計方法であって、所定の機能を実現するために半導体基板の第1の領域に配置される複数の基本セル、及び、ゲート電極と同じ層において半導体基板の第1の領域の外側の第2の領域に配置される少なくとも1つの配線を含む機能ブロックを配置するステップ(a)と、機能ブロックの外側における半導体基板の第3の領域に配置される複数の基本セルを配置するステップ(b)と、半導体基板の第2の領域と第3の領域との間において基本セルが配置されない領域上に層間絶縁膜を介して形成される少なくとも1つのメタル配線を配置するステップ(c)とを具備する。

20

【0016】

以上の構成によれば、ローディング効果を防止できる半導体装置を提供することができる。

【0017】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態について説明する。なお、同一の構成要素については、同一の参照番号で示している。

30

図1に、本発明の第1の実施形態に係る半導体装置の一部を示す。図1において、この半導体装置は、IPブロック10と、IPブロック10の外側にマトリクス状に配列された複数の基本セルとを具備する。なお、IPブロックとは、知的所有権(Intellectual Property)が語源であるが、半導体装置の分野においては、半導体装置を設計する上で重要となる機能ブロック(コアともいう)を指す。

【0018】

IPブロック10は、4行10列のマトリクス状に配列された40個の基本セルC101～C110、C201～C210、C301～C310、C401～C410を有しており、これらの基本セルの内の8個の基本セルC204～C207及びC304～C307は、所定の機能を実現する機能部11を構成する。なお、他の32個の基本セルC101～C110、C201～C203、C208～C210、C301～C303、C308～C310、C401～C410は、何らの機能も実現しないダミーセルである。

40

【0019】

図1に示すように、基本セルC102～C109、C202、C209、C302、C309、C402～C409の上層には、機能部11に第1の電源電位を供給するための環状のアルミニウム配線12が形成されている。

また、基本セルC101～C110、C201～C210、C301～C310、C401～C410の外側には、機能部11に第2の電源電位を供給するための環状のアルミニウム配線13が形成されている。

50

これらのアルミニウム配線 1 2 及び 1 3 は、一般には、ポリシリコン層の上に層間絶縁膜を介して形成された複数のアルミニウム配線層において、縦のパターンと横のパターンとに分割されて配置される。

#### 【0020】

図 2 は、図 1 中の領域 2 0 を拡大した図である。図 2 において、IP ブロック 1 0 内の基本セル C 2 0 1 ~ C 2 0 5 及び C 3 0 1 ~ C 3 0 5、並びに IP ブロック 1 0 の外部に配列された基本セル 2 1 ~ 2 4 は、不純物拡散領域 3 1、3 2、及び、不純物拡散領域 3 1、3 2 の上層にゲート絶縁膜を介して形成されたポリシリコンのゲート電極 3 3、3 4 を、それぞれ含んでいる。各基本セルに含まれる不純物拡散領域 3 1、3 2、及びゲート電極 3 3、3 4 は、4 個のトランジスタを構成する。

10

#### 【0021】

ここで、図 2 を図 8 と比較する。本実施形態に係る半導体装置（図 2 参照）における、基本セル 2 2 内のゲート電極 3 4 と基本セル C 2 0 1 内のゲート電極 3 3 との間の間隔  $W_1$  は、従来の半導体装置（図 8 参照）における、基本セル 8 2 内のゲート電極 9 4 と基本セル 7 1 内のゲート電極 9 3 との間の間隔  $W_4$  よりも狭くなっている。そのため、基本セル 2 2 内のゲート電極の幅  $W_{22}$  がローディング効果によって狭くなること又は広くなることを防止することができる。すなわち、基本セル 2 2 内のゲート電極の幅  $W_{22}$  は、基本セル 2 1 内のゲート電極の幅  $W_{21}$ 、及び、基本セル C 2 0 5 内のゲート電極の幅  $W_{C205}$  とほぼ同じとなる。

従って、基本セル 2 2 をダミーセルとすることなく、有効に利用することが可能となる。同様に、基本セル 2 4 も、有効に利用することが可能となる。

20

#### 【0022】

また、本実施形態に係る半導体装置（図 2 参照）においては、機能部 1 1 の基本セル C 2 0 4 に隣接するように基本セル C 2 0 3 が配置されている。そのため、基本セル C 2 0 4 内のゲート電極の幅  $W_{C204}$  がローディング効果によって狭くなること又は広くなることを防止することができる。すなわち、基本セル C 2 0 4 内のゲート電極の幅  $W_{C204}$  は、基本セル 2 1 内のゲート電極の幅  $W_{21}$ 、及び、基本セル C 2 0 5 内のゲート電極の幅  $W_{C205}$  とほぼ同じとなる。

従って、基本セル C 2 0 4 を有効に利用した機能部 1 1 の設計を行うことが可能となる。同様に、基本セル C 3 0 4 も、有効に利用することが可能となる。

30

#### 【0023】

次に、本実施形態に係る半導体装置の設計方法について説明する。図 3 は、本実施形態に係る半導体装置の設計方法を示すフローチャートである。

まず、基本セル C 1 0 1 ~ C 1 1 0、C 2 0 1 ~ C 2 1 0、C 3 0 1 ~ C 3 1 0、及び、C 4 0 1 ~ C 4 1 0 を配置する（ステップ S 1 1）。

#### 【0024】

次に、基本セル C 1 0 2 ~ C 1 0 9、C 2 0 2、C 2 0 9、C 3 0 2、C 3 0 9、及び、C 4 0 2 ~ C 4 0 9 の上層にアルミニウム配線 1 2 を配置し、基本セル C 1 0 1 ~ C 1 1 0、C 2 0 1 ~ C 2 1 0、C 3 0 1 ~ C 3 1 0、及び、C 4 0 1 ~ C 4 1 0 の外側にアルミニウム配線 1 3 を配置する（ステップ S 1 2）。これら基本セル C 1 0 1 ~ C 1 1 0、C 2 0 1 ~ C 2 1 0、C 3 0 1 ~ C 3 1 0、及び、C 4 0 1 ~ C 4 1 0、並びに、アルミニウム配線 1 2 及び 1 3 が、IP ブロック 1 0 を構成する。

40

#### 【0025】

次に、IP ブロック 1 0 の外側に複数の基本セルを配置する（ステップ S 1 3）。

このとき、IP ブロック 1 0 内に基本セル C 1 0 1 ~ C 1 1 0、C 2 0 1 ~ C 2 0 3、C 2 0 8 ~ C 2 1 0、C 3 0 1 ~ C 3 0 3、C 3 0 8 ~ C 3 1 0、及び、C 4 0 1 ~ C 4 1 0 が配置されているので、IP ブロック 1 0 に隣接する基本セルを使用しないという制限を設けることなく、半導体装置を容易に設計することができる。

#### 【0026】

なお、本実施形態においては、アルミニウム配線 1 3 の下層に基本セルを配置していない

50

が、図 4 に示すように、アルミニウム配線 1 3 の下層に基本セルを配置することとしても良い。

#### 【0027】

次に、本発明の第 2 の実施形態に係る半導体装置について説明する。図 5 に、本発明の第 2 の実施形態に係る半導体装置の一部を示す。図 5 において、この半導体装置は、IP ブロック 4 0 と、IP ブロック 4 0 の外部にマトリクス状に配列された複数の基本セルとを具備する。

IP ブロック 4 0 は、2 行 4 列のマトリクス状に配列された 8 個の基本セル C 5 0 4 ~ C 5 0 7、及び、C 6 0 4 ~ C 6 0 7 を有しており、これらの基本セルは、所定の機能を実現する機能部 4 1 を構成する。

10

#### 【0028】

図 5 に示すように、機能部 4 1 の外側には、機能部 4 1 に第 1 の電源電位を供給するための環状のアルミニウム配線 1 2 が形成されている。

アルミニウム配線 1 2 の外側には、ダミー配線としての環状のポリシリコン配線 4 2 が形成されており、ポリシリコン配線 4 2 の外側には、ダミー配線としての環状のポリシリコン配線 4 3 が形成されており、ポリシリコン配線 4 3 の外側には、ダミー配線としての環状のポリシリコン配線 4 4 が形成されている。

さらに、ポリシリコン配線 4 4 の外側には、機能部 4 1 に第 2 の電源電位を供給するための環状のアルミニウム配線 1 3 が形成されている。

#### 【0029】

20

図 6 は、図 5 中の領域 5 0 を拡大した図である。図 6 において、IP ブロック 4 0 内の基本セル C 5 0 4、C 5 0 5、C 6 0 4、及び、C 6 0 5、並びに、IP ブロック 4 0 の外部に配列された基本セル 5 1 ~ 5 4 は、不純物拡散領域 3 1、3 2、及び、不純物拡散領域 3 1、3 2 の上層にゲート絶縁膜を介して形成されたポリシリコンのゲート電極 3 3、3 4 を、それぞれ含んでいる。各基本セルに含まれる不純物拡散領域 3 1、3 2、及びゲート電極 3 3、3 4 は、4 個のトランジスタを構成する。

#### 【0030】

ここで、図 6 を図 8 と比較する。本実施形態に係る半導体装置（図 6 参照）における、基本セル 5 2 内のゲート電極 3 4 と IP ブロック 4 0 内のポリシリコン配線 4 4 との間の間隔  $W_2$  は、従来の半導体装置（図 8 参照）における、基本セル 8 2 内のゲート電極 9 4 と基本セル 7 1 内のゲート電極 9 3 との間の間隔  $W_4$  よりも狭くなっている。そのため、基本セル 5 2 内のゲート電極の幅  $W_{5,2}$  がローディング効果によって狭くなること又は広くなることを防止することができる。すなわち、基本セル 5 2 内のゲート電極の幅  $W_{5,2}$  は、基本セル 5 1 内のゲート電極の幅  $W_{5,1}$ 、及び、基本セル C 5 0 5 内のゲート電極の幅  $W_{C505}$  とほぼ同じとなる。

30

従って、基本セル 5 2 をダミーセルとすることなく、有効に利用することが可能となる。同様に、基本セル 5 4 も、有効に利用することが可能となる。

#### 【0031】

また、本実施形態に係る半導体装置（図 6 参照）における、基本セル C 5 0 4 内のゲート電極 3 3 と IP ブロック 4 0 内のポリシリコン配線 4 2 との間の間隔  $W_3$  は、従来の半導体装置（図 8 参照）における、基本セル 8 2 内のゲート電極 9 4 と基本セル 7 1 内のゲート電極 9 3 との間の間隔  $W_4$  よりも狭くなっている。そのため、基本セル C 5 0 4 内のゲート電極の幅  $W_{5,0,4}$  がローディング効果によって狭くなること又は広くなることを防止することができる。すなわち、基本セル C 5 0 4 内のゲート電極の幅  $W_{C504}$  は、基本セル 5 1 内のゲート電極の幅  $W_{5,1}$ 、及び、基本セル C 5 0 5 内のゲート電極の幅  $W_{C505}$  とほぼ同じとなる。

40

従って、基本セル C 5 0 4 を有効に利用した機能部 4 1 の設計を行うことが可能となる。同様に、基本セル C 6 0 4 も、有効に利用することが可能となる。

#### 【0032】

#### 【発明の効果】

50



以上述べた様に、本発明によれば、ローディング効果を防止できる半導体装置を提供することが可能となる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る半導体装置の一部を示す図である。

【図 2】 図 1 の領域 20 を示す図である。

【図 3】 本発明の第 1 の実施形態に係る半導体装置の設計方法を示すフローチャートである。

【図 4】 本発明の第 1 の実施形態に係る半導体装置の他の例を示す図である。

【図 5】 本発明の第 2 の実施形態に係る半導体装置の一部を示す図である。

【図 6】 図 5 の領域 50 を示す図である。

【図 7】 従来の半導体装置の一部を示す図である。

【図 8】 図 7 の領域 80 を示す図である。

【符号の説明】

10、40、60 IPブロック

11、41 機能部

12、13 アルミニウム配線

21～24、51～54、C101～C110、C201～C210、C301～C310、C401～C410、C504～C507、C604～C607

基本セル

31、32 不純物拡散領域

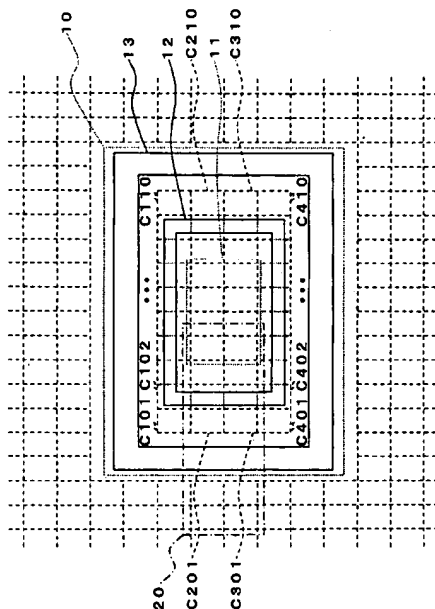
33、34 ゲート電極

42、43、44 ポリシリコン配線

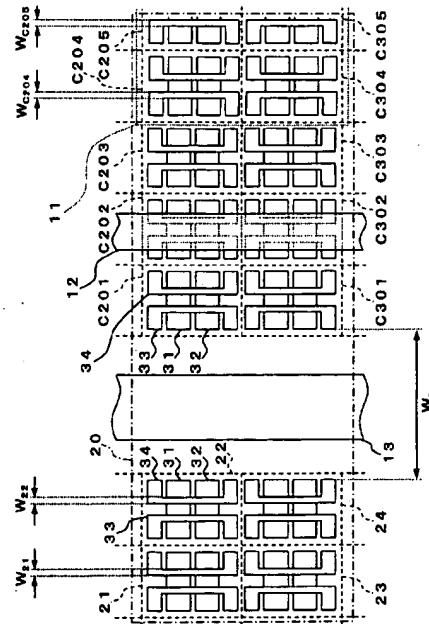
10

20

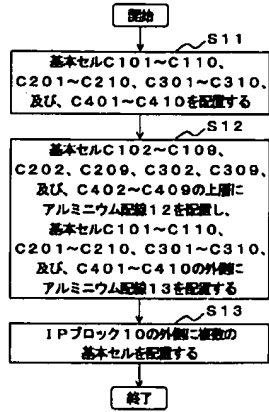
【図 1】



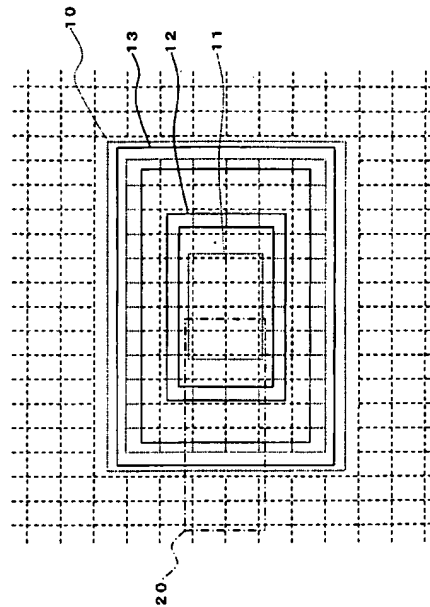
【図 2】



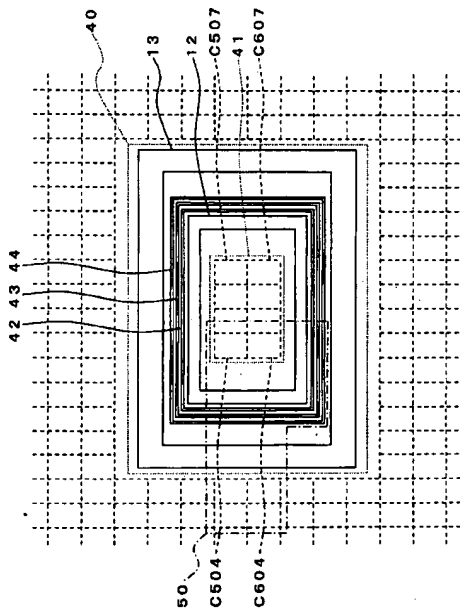
【図 3】



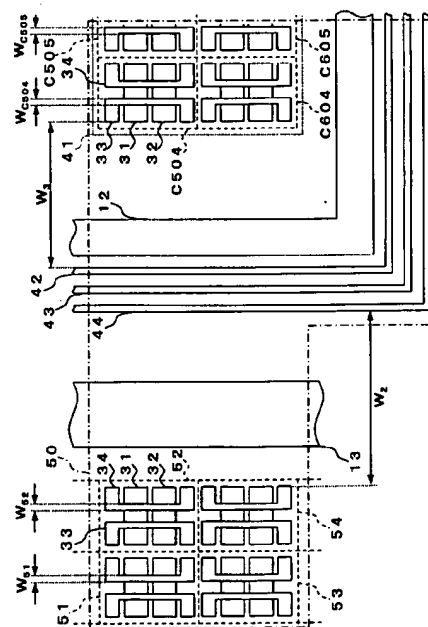
【図 4】



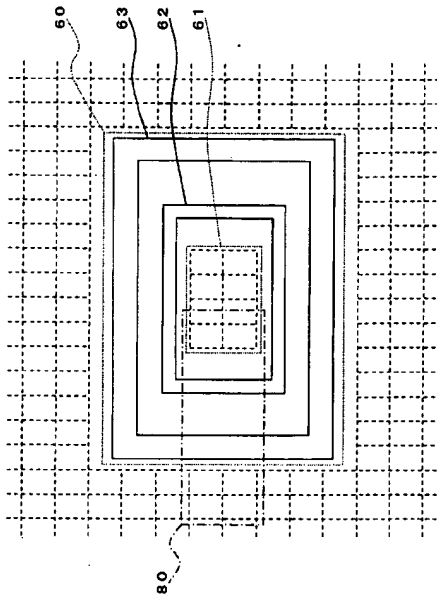
【図 5】



【図 6】



【図 7】



【図 8】

